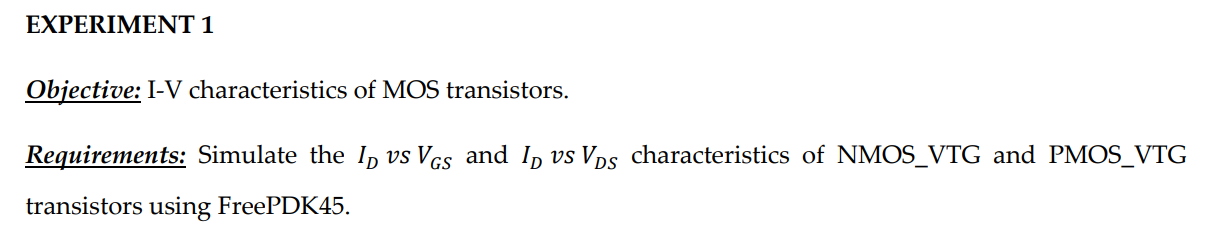
# LAB 1: MOS TRANSISTOR CHARACTERIZATION

#### I-V charateristics of MOS transistor



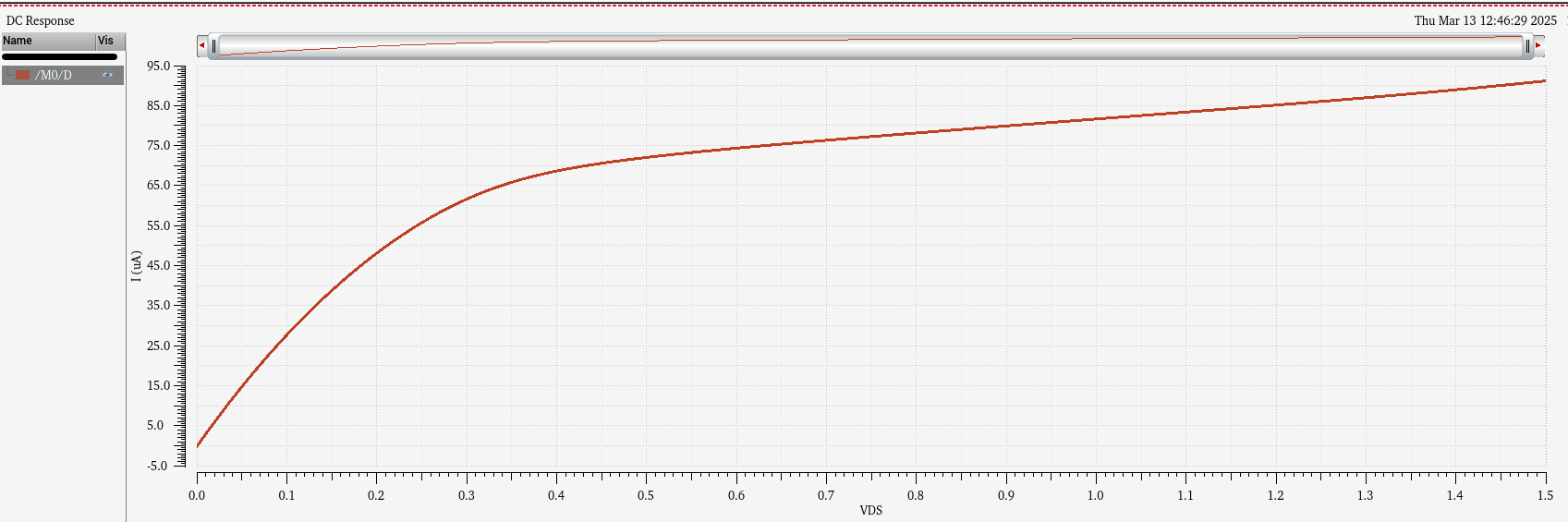


Fig 1.1: ID vs VDS of NMOS @Vgs=1V

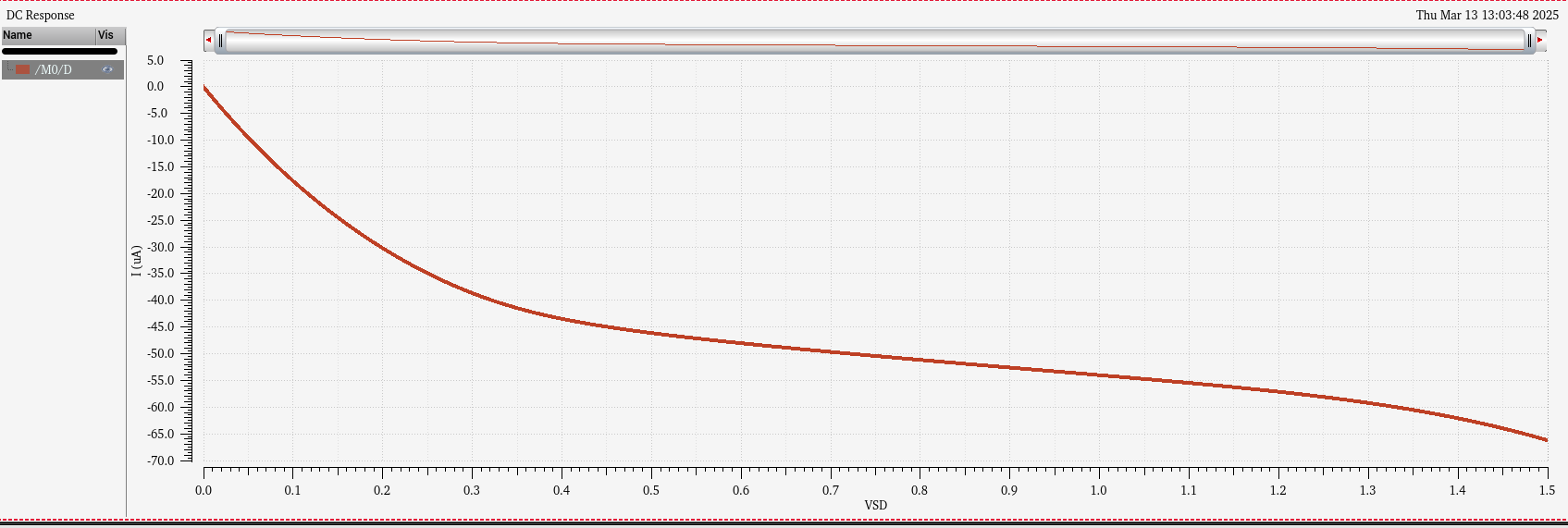


Fig 1.2: ID vs VSD of PMOS @Vsg=1V

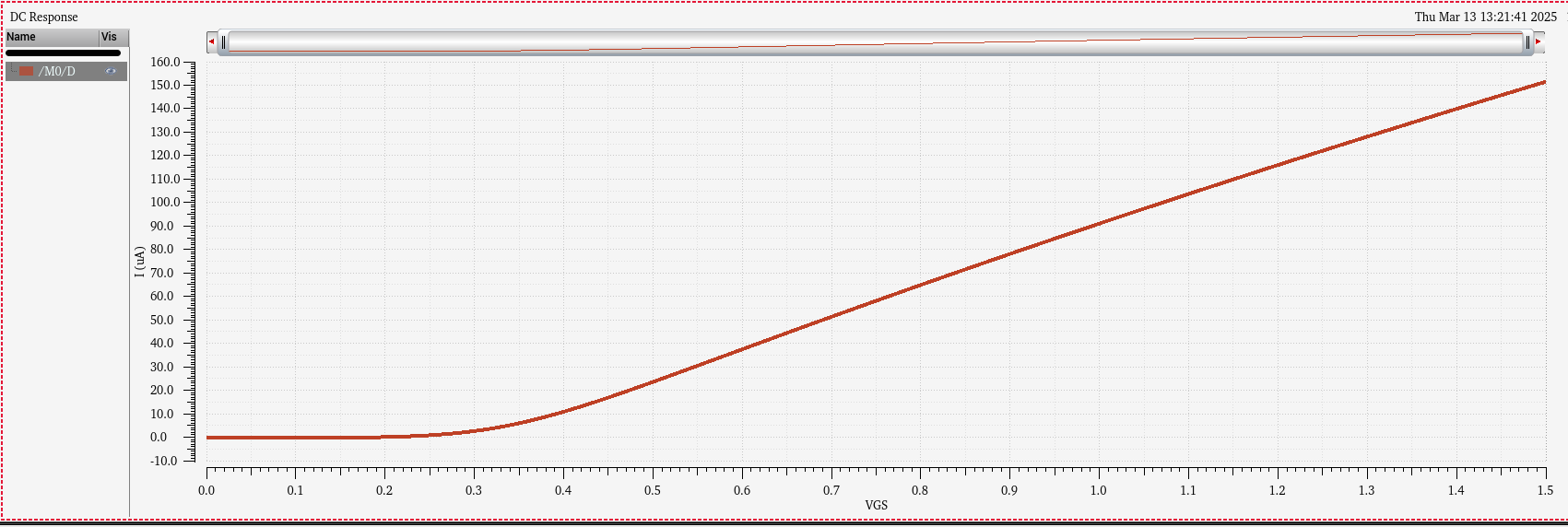


Fig 1.3: ID vs VGS of NMOS @Vds=1.5V

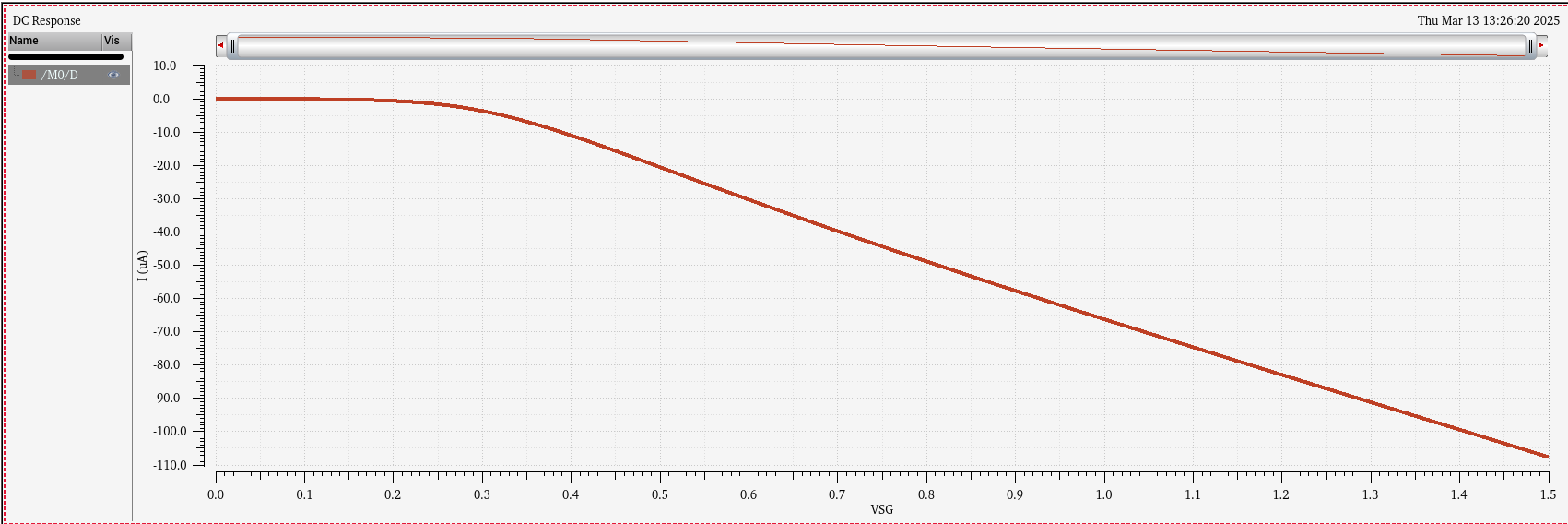


Fig 1.4: ID vs VSG of PMOS @Vsd=1.5V

### Questions:

1. *Based on the 𝐼𝐷 𝑣𝑠 𝑉𝐺𝑆 characteristics, please estimate the threshold voltage 𝑉𝐺𝑆 of the NMOS transistor.*

Theo lý thuyết ta có các chế độ hoạt động của NMOS:

- Chế độ cutoff: Vgs < VTH

- Chế độ Linear:

Vgs > VTH

Vds < Vdsat (với Vdsat = Vgs - VTH)

- Chế độ saturation:

Vgs > VTH

Vds > Vdsat (với Vdsat = Vgs - VTH)

Dựa vào fig 1.3 ta có thể thấy

VGS<0.3V => Nmos đang ở chế độ OFF khi không có dòng

VGS>=0.3 V=> Nmos bắt đầu ON.

Do đó ta ước tính được VTH ở NMOS =0,3V

1. *Additionally, by analyzing the 𝐼𝐷 𝑣𝑠 𝑉𝐺𝑆 characteristics, determine the conduction region of the NMOS transistor when 𝑉𝐺𝑆 exceeds 𝑉𝐺𝑆. Specify whether the device operates in the linear (triode) region or the saturation region, and provide an explanation.*

Theo fig 1.3 ta thiết lập giá trị VDS=1.5V tức là khi VGS <VDS+VTH = 1.8V thì NMOS còn hoạt động ở vùng bão hòa.

Chỉ khi VGS tăng vượt quá 1.8V thì NMOS mới hoạt động ở vùng tuyến tính.

Còn lại khi VGS <VTH => NMOS off.

1. *Based on* ***Figure 3****, qualitatively determine the operating regions of the NMOS transistor.*

*Theo lý thuyết vùng hoạt động của Nmos*

Dựa vào đặc tuyến ID vs VDS(fig 1.1) có thể đưa ra kết luận như sau:

+ Nmos hoạt động trong vùng tuyến tính khi VDS <VDSsat= VGS-VTH = 0.7V

+ Nmos hoạt động trong vùng bão hòa khi VDS >VDSsat= VGS-VTH = 0.7V, lúc này nhìn đồ thị fig 1.1 ta có thể thấy ID tăng một lượng rất nhỏ, gần như không đáng kể khi VDS vượt ngưỡng 0.7 hoặc ta có thể xấp xỉ rằng ID gần như không đổi giá trị khi tăng VDS.

1. *When the NMOS transistor is biased in the saturation region, does the drain current remain constant? Provide a theoretical explanation.*

Khi Nmos bị bias ở vùng bão hòa thì theo lý thuyết dòng ID lúc này độc lập so với VDS nghĩa là VDS tăng bao nhiêu cũng không ảnh hưởng tới ID. Nhưng theo thực tế ID vẫn tăng một khoảng nhỏ.

- Giải thích: Ở chế độ bão hòa, kênh dẫn bị pinch off, dẫn đến hệ quả không có electron từ cực S qua cực D nữa. Dẫn đến không còn dòng điện chạy từ S qua D. Tuy nhiên, các electron chạy từ cực S vượt qua được kênh dẫn để đến cực D khi Nmos hoạt động ở chế độ linear vẫn còn sót lại ở bên D, qua đó kết hợp với lỗ trống vẫn tạo ra được dòng điện. Tuy nhiên lúc này, lượng electron còn sót lại không được cung cấp thêm số lượng nên là ra kết quả đồ thị dòng ID không còn dốc nhiều như khi còn ở vùng tuyến tính.

1. *Propose methods to reduce the slope of the drain current when the NMOS operates in the saturation region.*

Nguyên nhân chính dẫn đến hiện tượng dòng ID ở vùng bão hòa vẫn còn tăng lên một đoạn nhỏ là do số lượng electron còn dư khi vượt qua được kênh dẫn tiếp tục kết hợp với lỗ trống để tạo thành dòng điện. Do đó để giảm lượng electron đi qua kênh dẫn thì nhóm sẽ thực hiện giảm độ rộng kênh dẫn W xuống

Tương tự, thay vì giảm độ rộng kênh dẫn thì lúc này nhóm sẽ tăng chiều dài kênh dẫn L để lượng electron vượt qua kênh dẫn bị giảm.

# EXPERIMENT 2

***Objective:*** Effects of varying VGS and device size.

***Requirements:*** Simulate the 𝐼𝐷 𝑣𝑠 𝑉𝐺𝑆 and 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 characteristics of NMOS\_VTG and PMOS\_VTG transistors using FreePDK45 and analyze the impact of these parameters.

***NMOS results:***

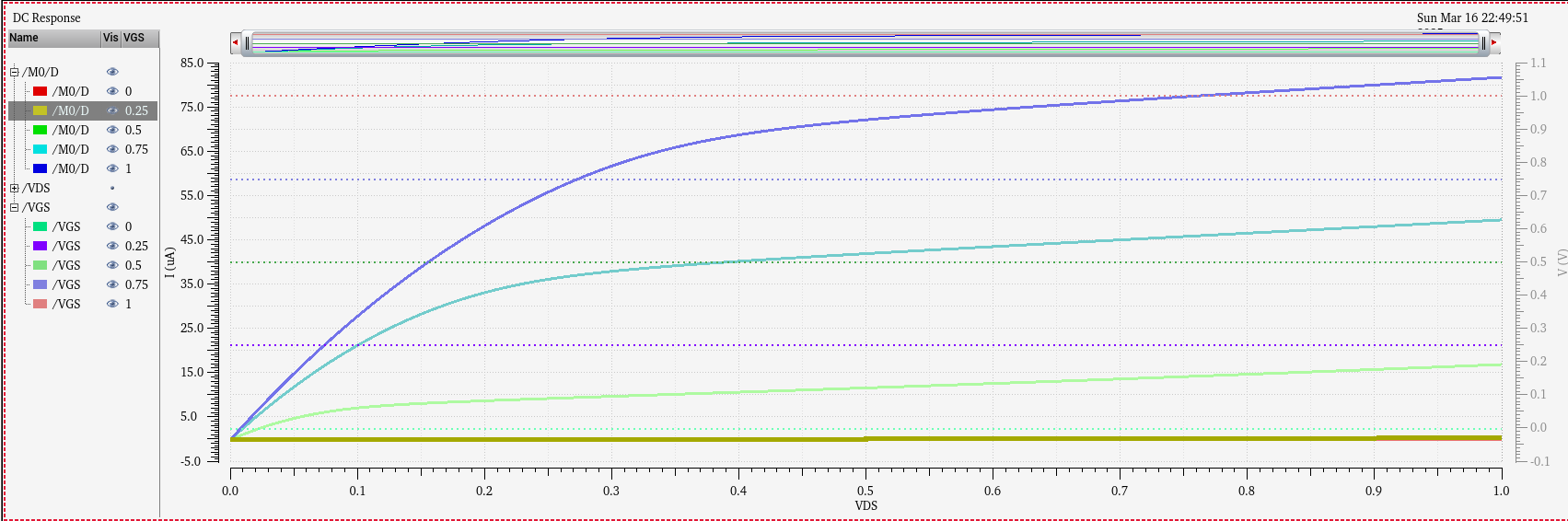


Fig 2.1: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝑉𝑔𝑠 = [0,1] 𝑉 step 0.25V (NMOS)

VGS càng nhỏ, vùng tuyến tính của NMOS càng bị thu hẹp do VGS-VT nhỏ, ngược lại, vùng NMOS nhanh chóng đi vào vùng bão hòa hơn.

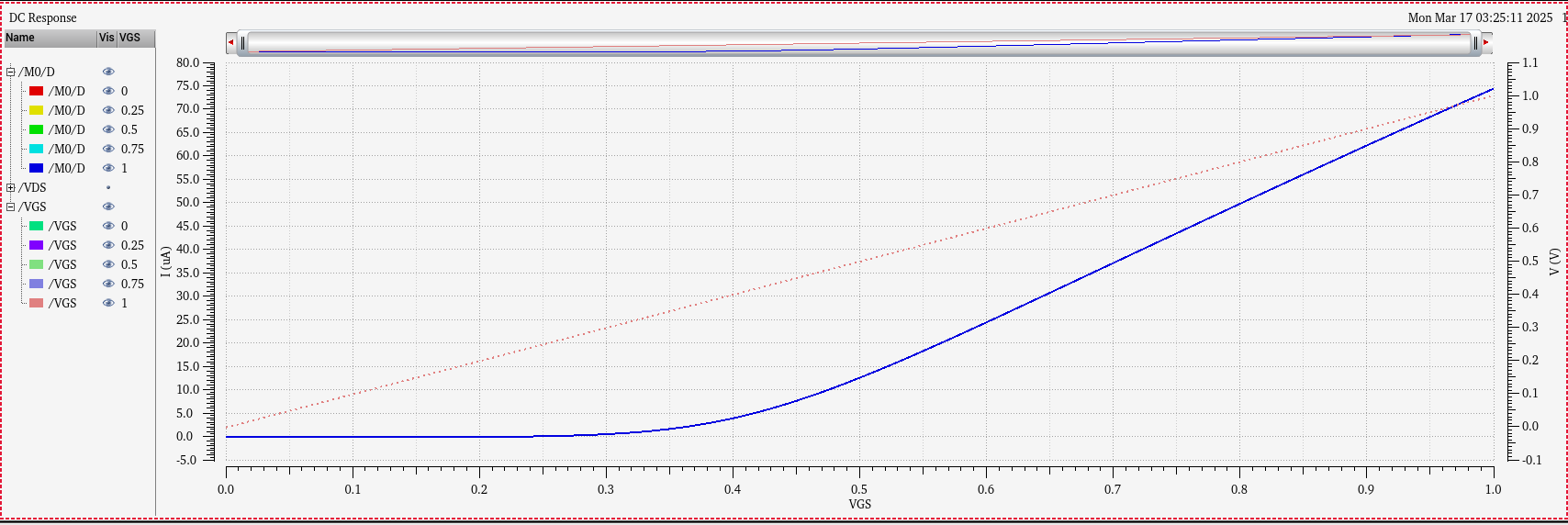


Fig 2.2: 𝐼𝐷 𝑣𝑠 𝑉G𝑆 @ 𝑉𝑔𝑠 = [0,1] 𝑉 step 0.25V (NMOS)

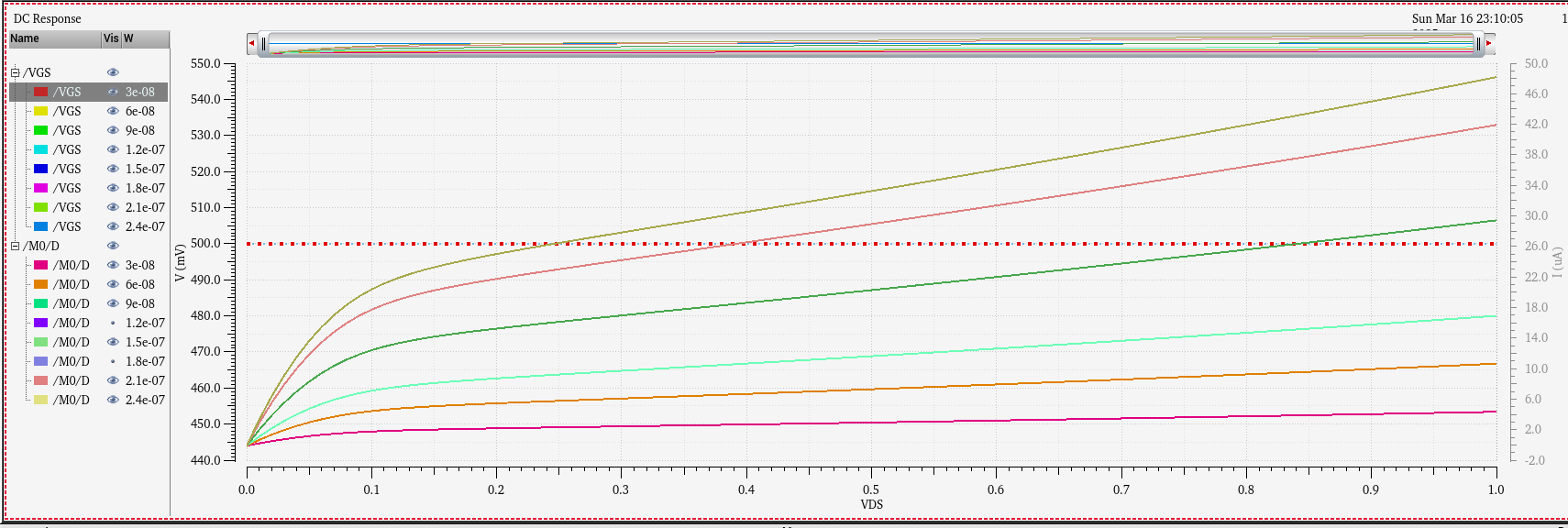


Fig 2.3: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝑊 = [30,210] 𝑛𝑚 step 30nm.

Độ rộng kênh dẫn(W) càng rộng, theo giải thích từ thí nghiệm 1, lượng electron đi qua kênh dẫn càng tăng dẫn đến độ dốc của dòng ID càng tăng.

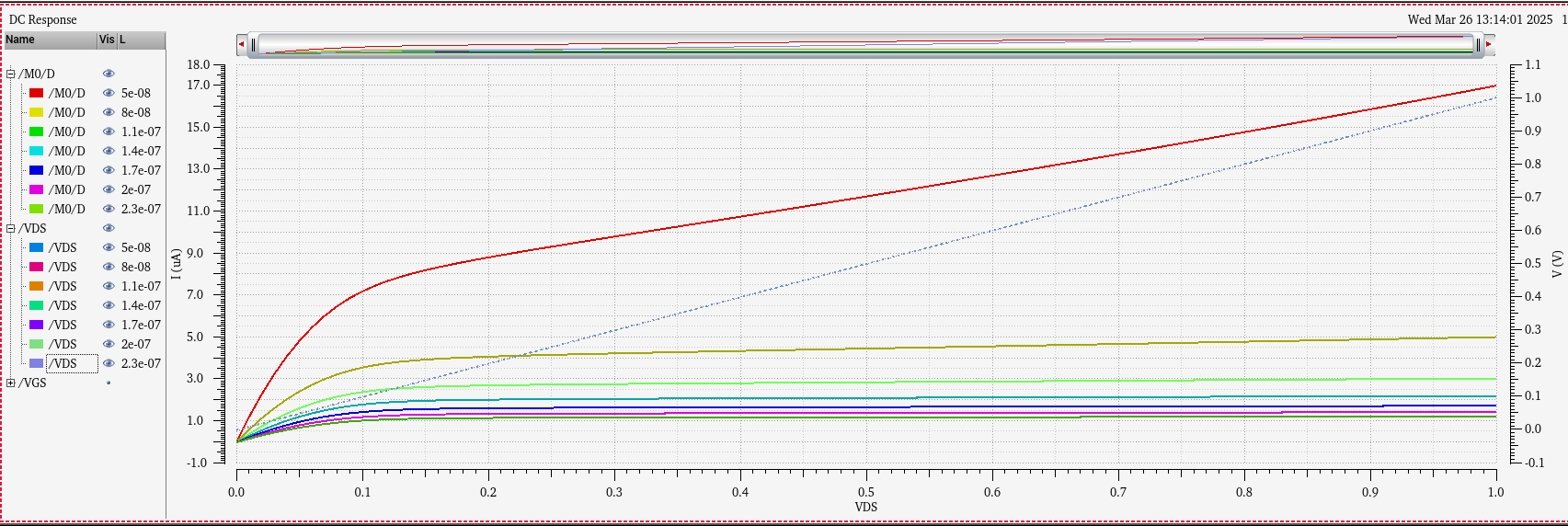


Fig 2.4: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝐿 = [30,240] 𝑛𝑚 step 30nm.

Độ dài kênh dẫn L càng tăng thì lượng electron đi qua kênh dẫn để tạo thành dòng càng giảm, do đó ID giảm.

***PMOS results:***

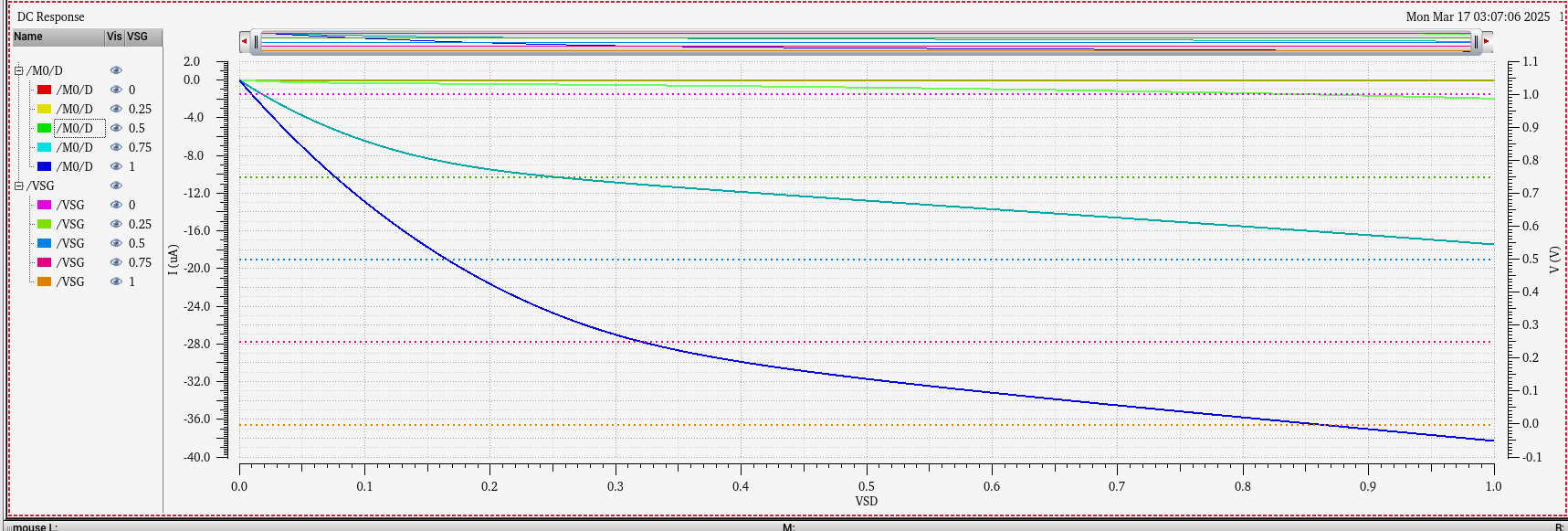


Fig 2.5: 𝐼𝐷 𝑣𝑠 𝑉SD @ 𝑉𝑔𝑠 = [0,1] 𝑉 step 0.25V (PMOS)

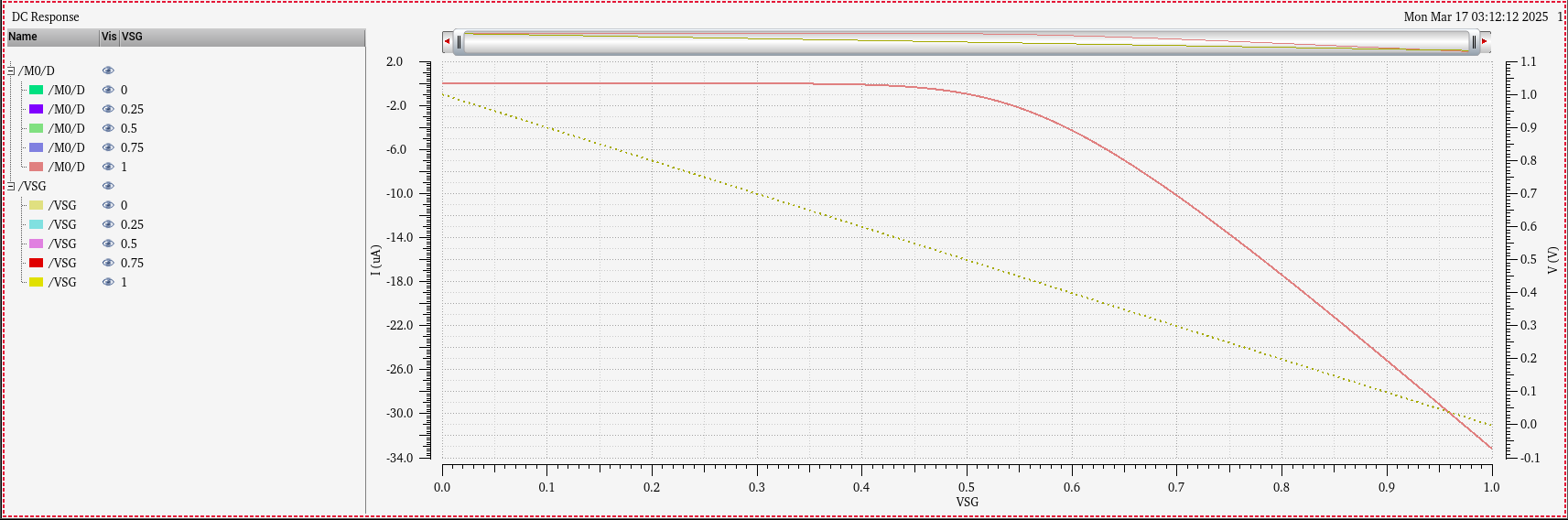


Fig 2.6: 𝐼𝐷 𝑣𝑠 𝑉𝑆G @ 𝑉sg = [0,1] 𝑉 step 0.25V (PMOS)

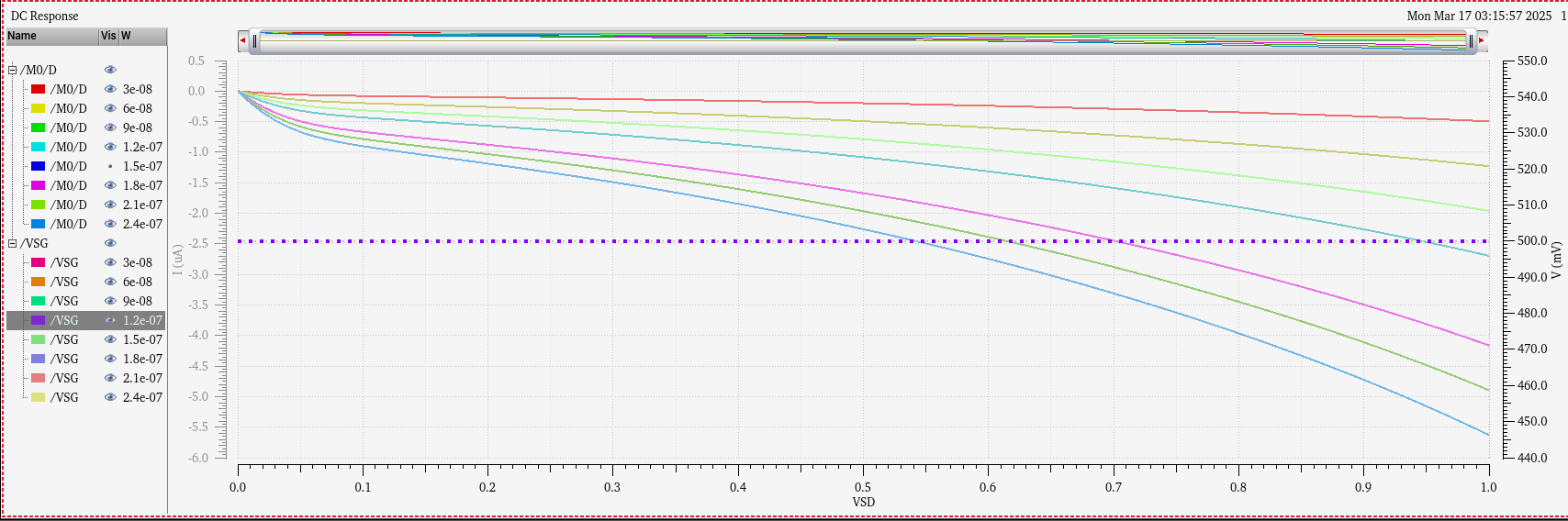


Fig 2.7: 𝐼𝐷 𝑣𝑠 𝑉𝑆D @ 𝑊 = [30,210] 𝑛𝑚 step 30nm.

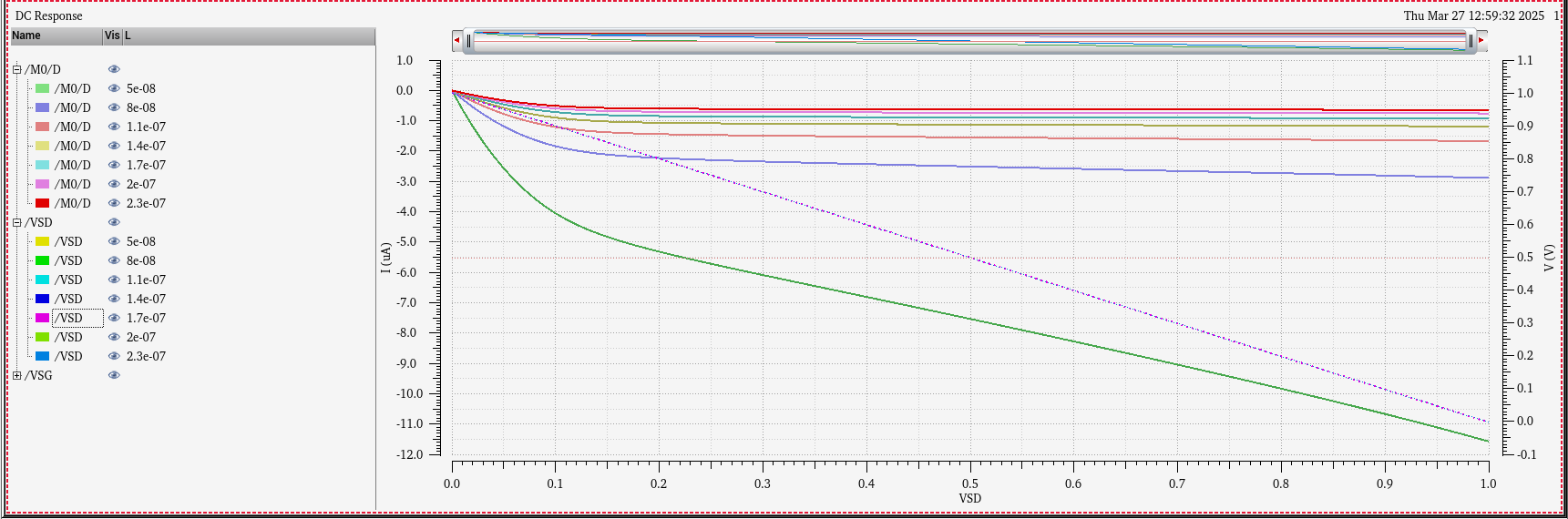


Fig 2.8: 𝐼𝐷 𝑣𝑠 𝑉𝑆D @ 𝐿 = [30,240] 𝑛𝑚 step 30nm.

# EXPERIMENT 3

***Objective:*** Explore second-order effects (Body effect, Channel-length modulation).

### Requirements:

* + Simulate the 𝐼𝐷 𝑣𝑠 𝑉𝐺𝑆 and 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 characteristics of NMOS\_VTG and PMOS\_VTG transistors using FreePDK45 and analyze the impact of these parameters.
  + Measure, and analyze device characteristics: 𝜆, 𝑉𝑇ℎ0, 𝑘𝑝, and 𝛾.

**NMOS result:**

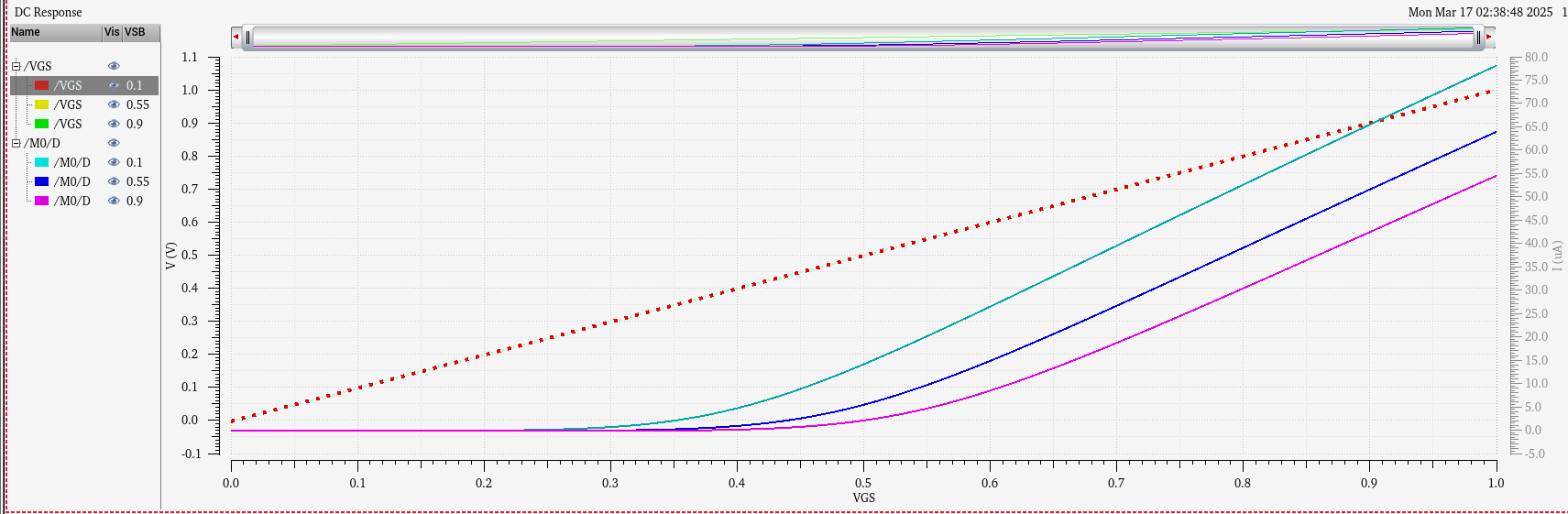


Fig 3.1: 𝐼𝐷 𝑣𝑠 𝑉𝐺𝑆 @ 𝑉𝐷𝑆 = 1𝑉, 𝑉𝑆𝐵 = {0.1,0.55,0.9} 𝑉, and sweeping 𝑉𝑔𝑠 = [0,1] 𝑉 with step 10mV.

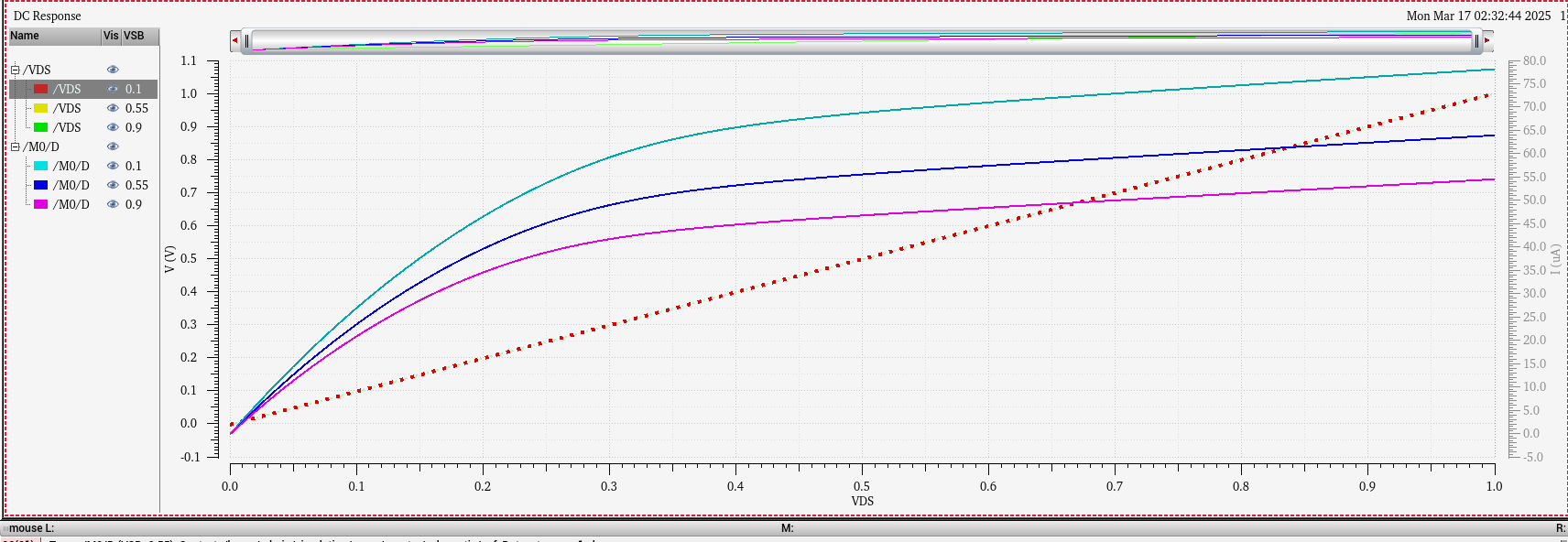


Fig 3.2: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝑉𝐺𝑆 = 1𝑉, 𝑉𝑆𝐵 = {0.1,0.55,0.9} 𝑉 and sweeping 𝑉𝐷𝑆 = [0,1] 𝑉 with step 10mV.

**Xác định các hệ số** , kp, Vth,

**Tính** :

Theo hướng dẫn, chọn 2 giá trị Id nằm trong vùng bão hòa, do đó nhóm chọn 2 giá trị Id là M6, M8 từ vùng VDS >0.7V( do chọn VGS=1V, Vth =0.3V=> VDSsat

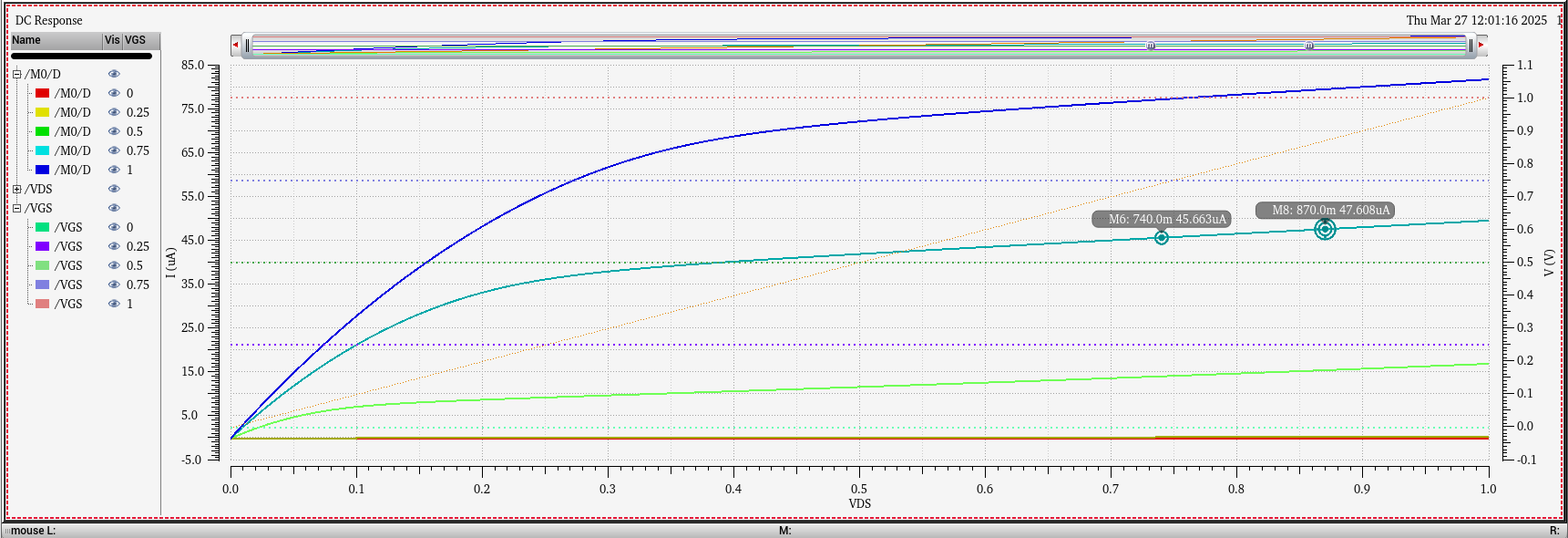
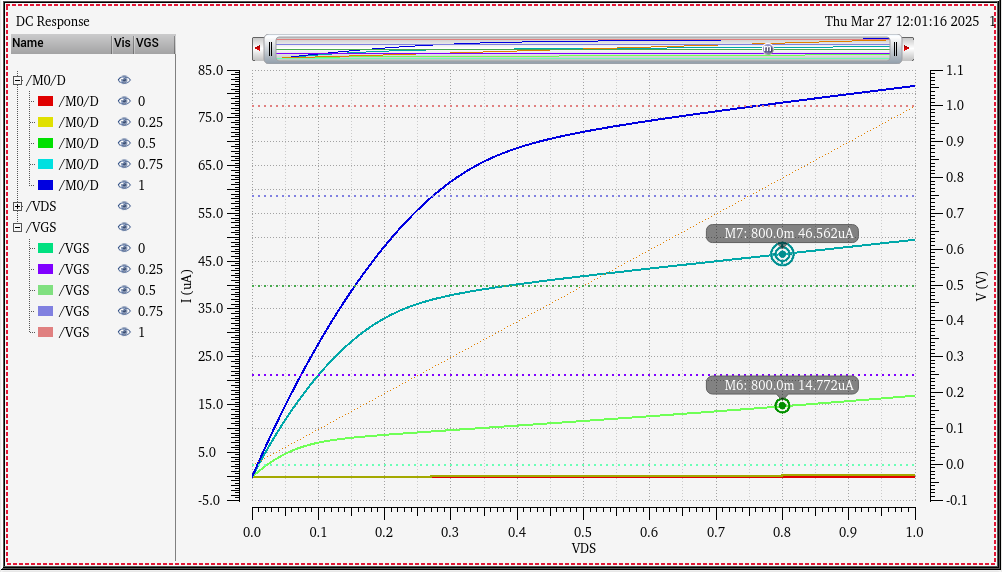


Fig 3.3: Xác định

**Tính Vth0**:

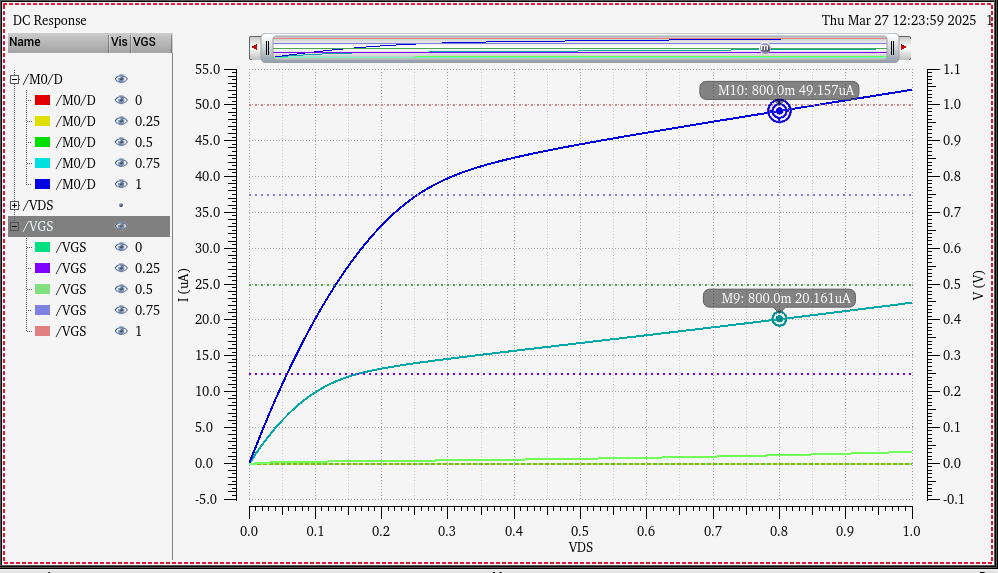
Để xác định Vth0, dựa vào đồ thị Fig 2.1: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝑉𝑔𝑠 = [0,1] 𝑉 step 0.25V. Ta lấy ra 2 điểm M6, M7 của 2 dòng Id khác nhau nhưng chung mức điện áp VDS nằm trong vùng bão hòa( chọn VDS=0.8V)



**Tính kp**: Dựa vào điểm M7

**Tính Vth**:

Để xác định Vth, dựa vào đồ thị Fig 2.1: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝑉𝑔𝑠 = [0,1] 𝑉 step 0.25V.Chỉnh biến VSB=1 Ta lấy ra 2 điểm M9, M10 của 2 dòng Id khác nhau nhưng chung mức điện áp VDS nằm trong vùng bão hòa( chọn VDS=0.8V)

**

**Tính**

**PMOS result:**

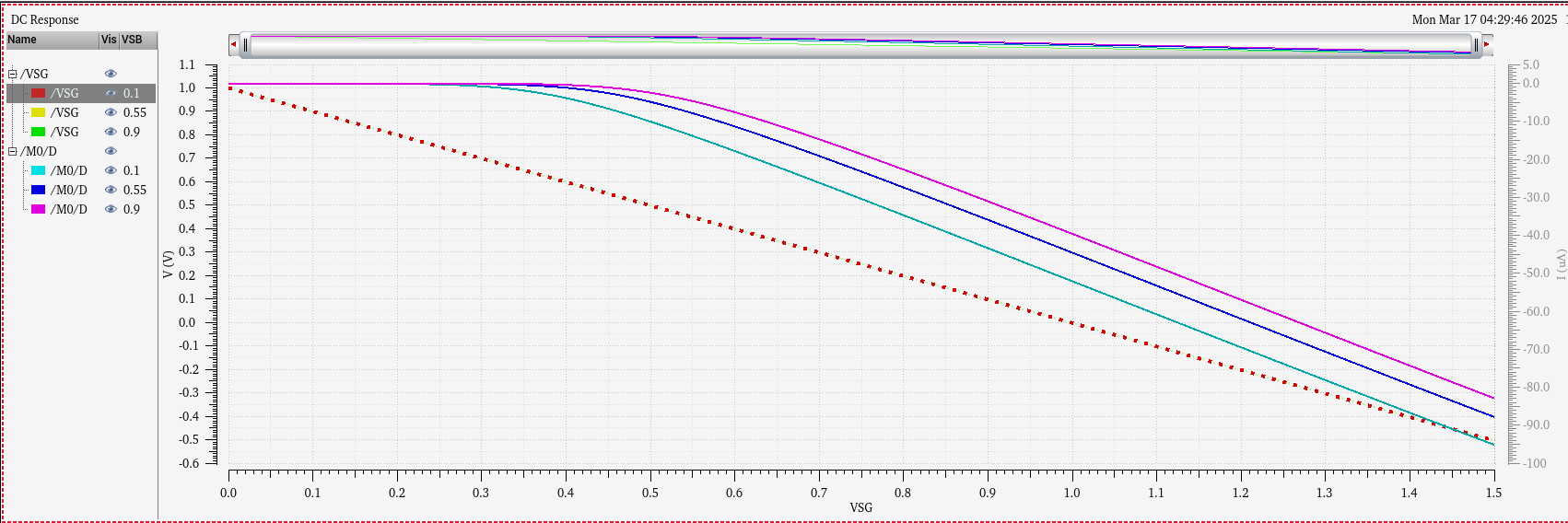


Fig 3.3: 𝐼𝐷 𝑣𝑠 𝑉𝐺𝑆 @ 𝑉𝐷𝑆 = 1𝑉, 𝑉𝑆𝐵 = {0.1,0.55,0.9} 𝑉, and sweeping 𝑉𝑔𝑠 = [0,1] 𝑉 with step 10mV.

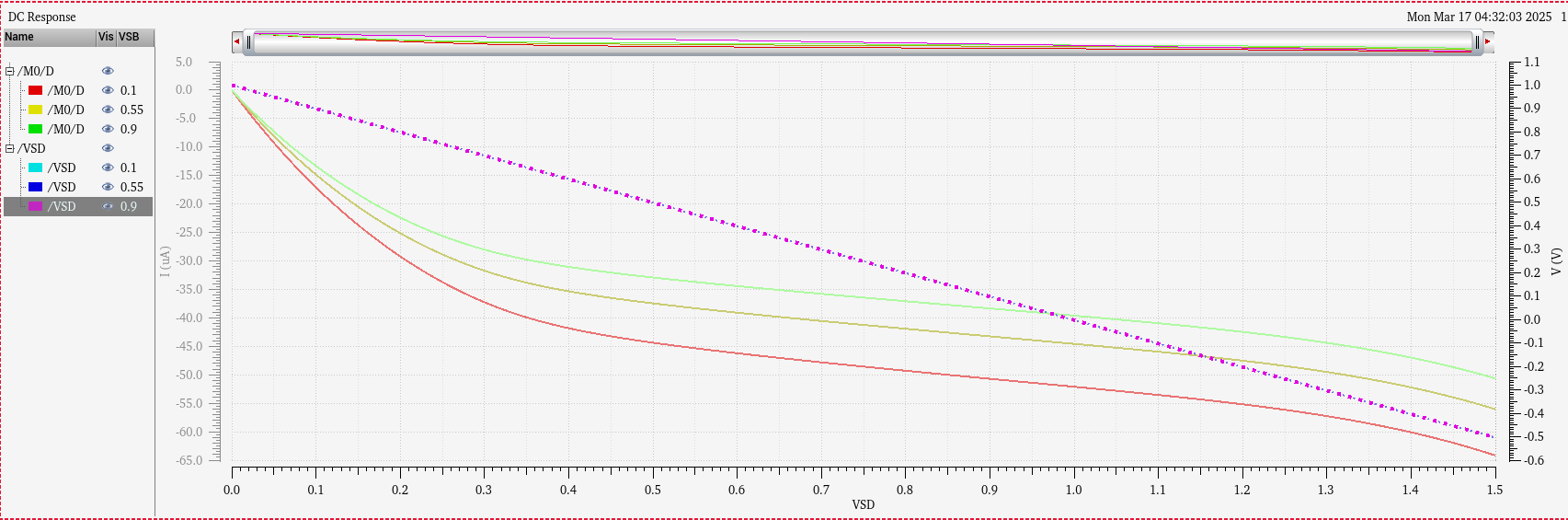
****

Fig 3.4: 𝐼𝐷 𝑣𝑠 𝑉𝐷𝑆 @ 𝑉𝐺𝑆 = 1𝑉, 𝑉𝑆𝐵 = {0.1,0.55,0.9} 𝑉 and sweeping 𝑉𝐷𝑆 = [0,1] 𝑉 with step 10mV

# EXPERIMENT 4

***Objective:*** Layout design for MOS transistors.

### Requirements:

* + Design the layout for a 120n/60n NMOS and a 50n/40n PMOS transistor.
  + Verify the design by performing Design Rule Check (DRC) and ensuring Layout Versus Schematic (LVS) confirmation.

120n/60n NMOS:

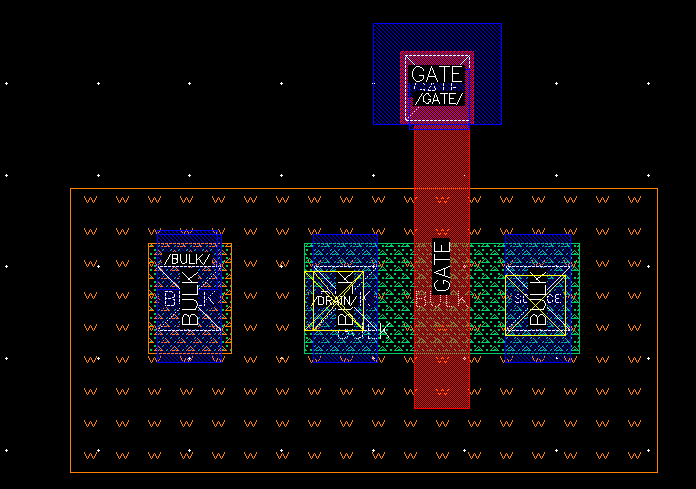


Fig 4.1: NMOS layout

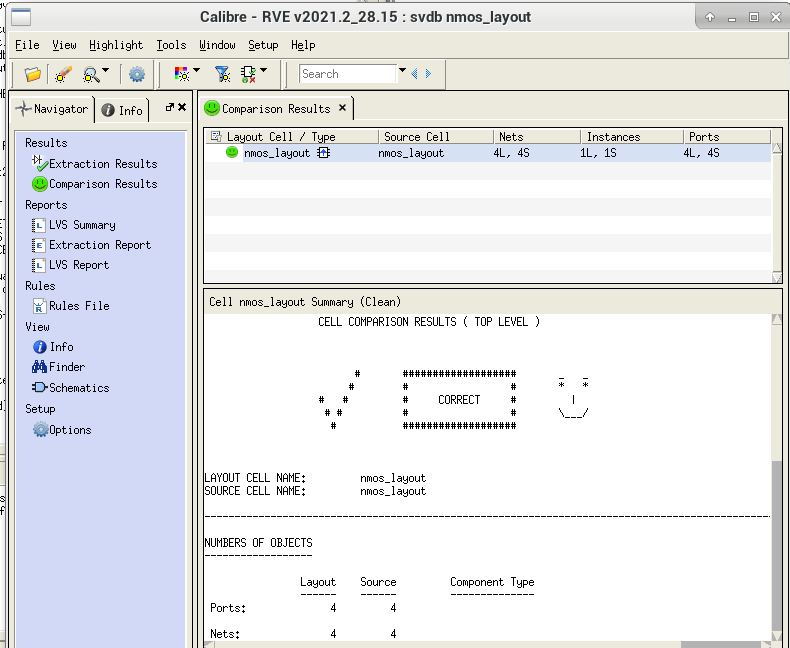


Fig 4.2: LVS result

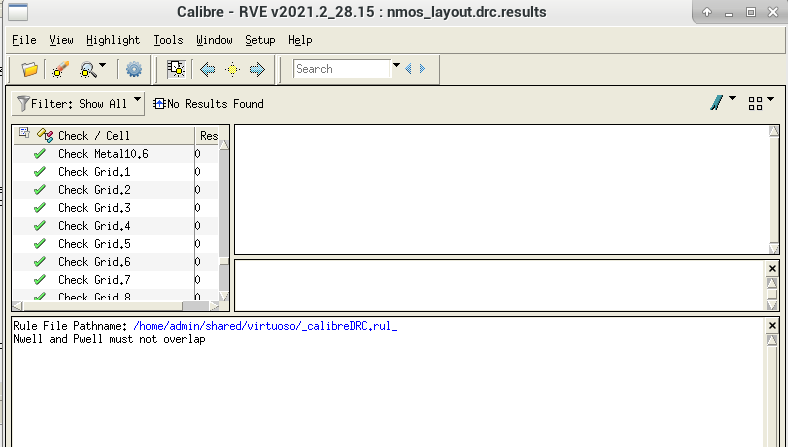


Fig 4.3 :DRC result

**PMOS LAYOUT: 50n/40n Pmos**

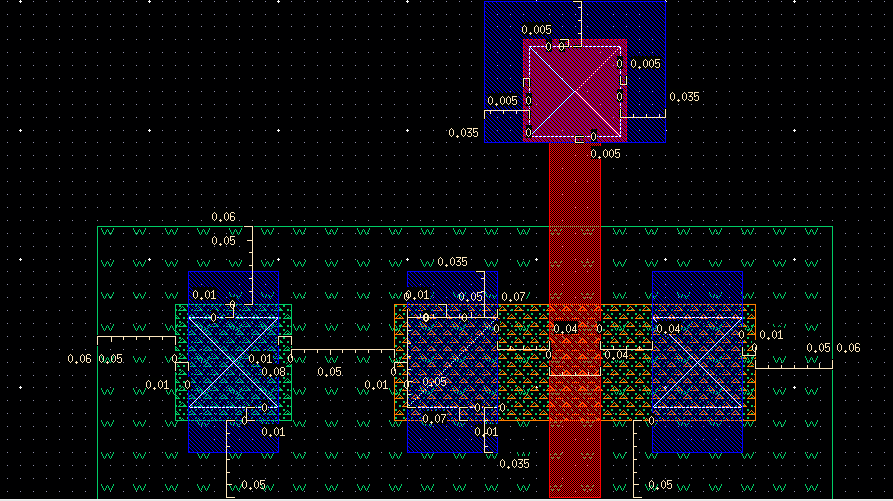


Fig 4.4: L = 40nm

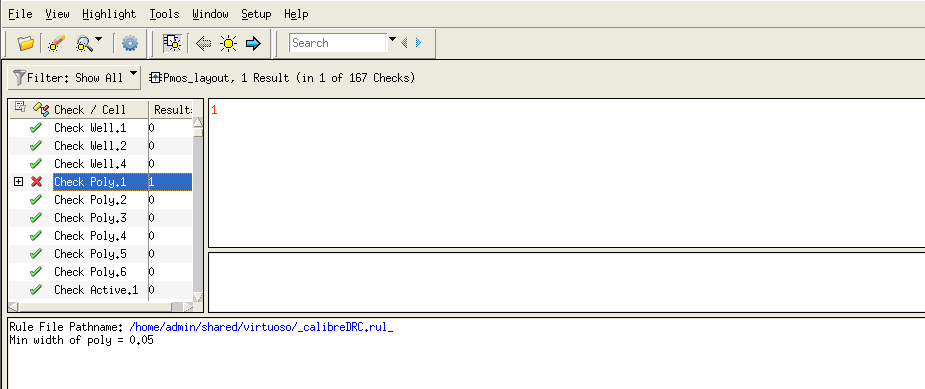


Fig 4.5: Error of Poly width(L) in DRC

Nhóm nhận thấy Poly width min ứng với L là 40 nm, nhưng khi nhóm vẽ theo thông số trên thì DRC báo lỗi.

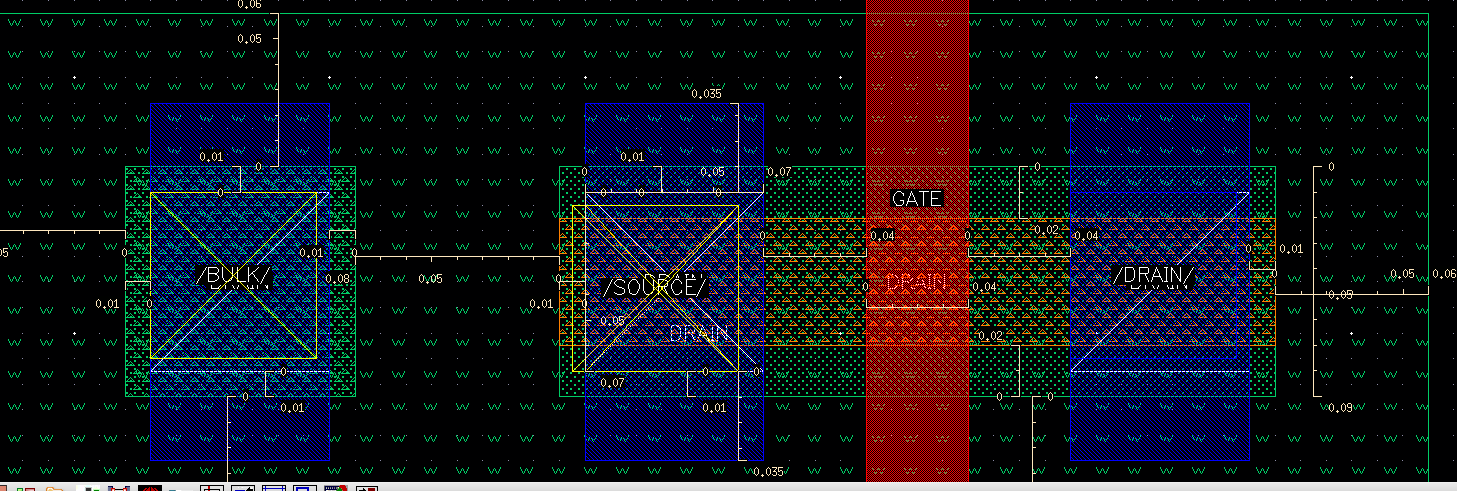


Fig 4.6: Layout PMOS check LVS

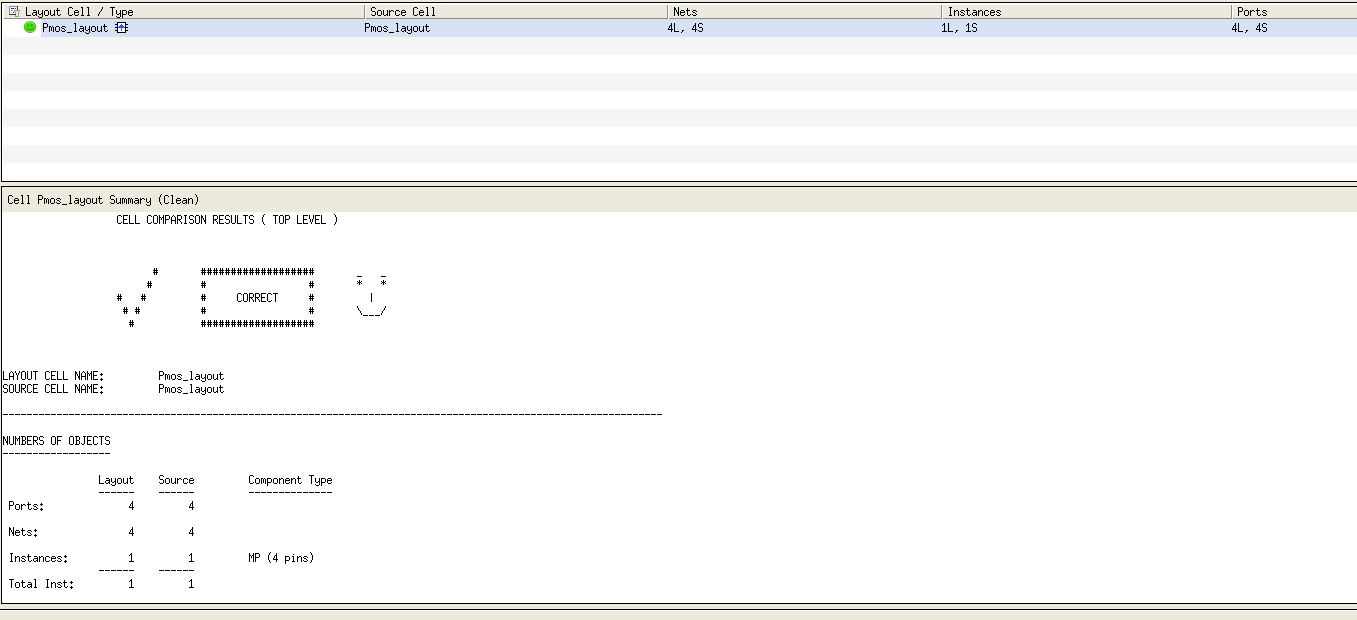


Fig 4.7: LVS pass

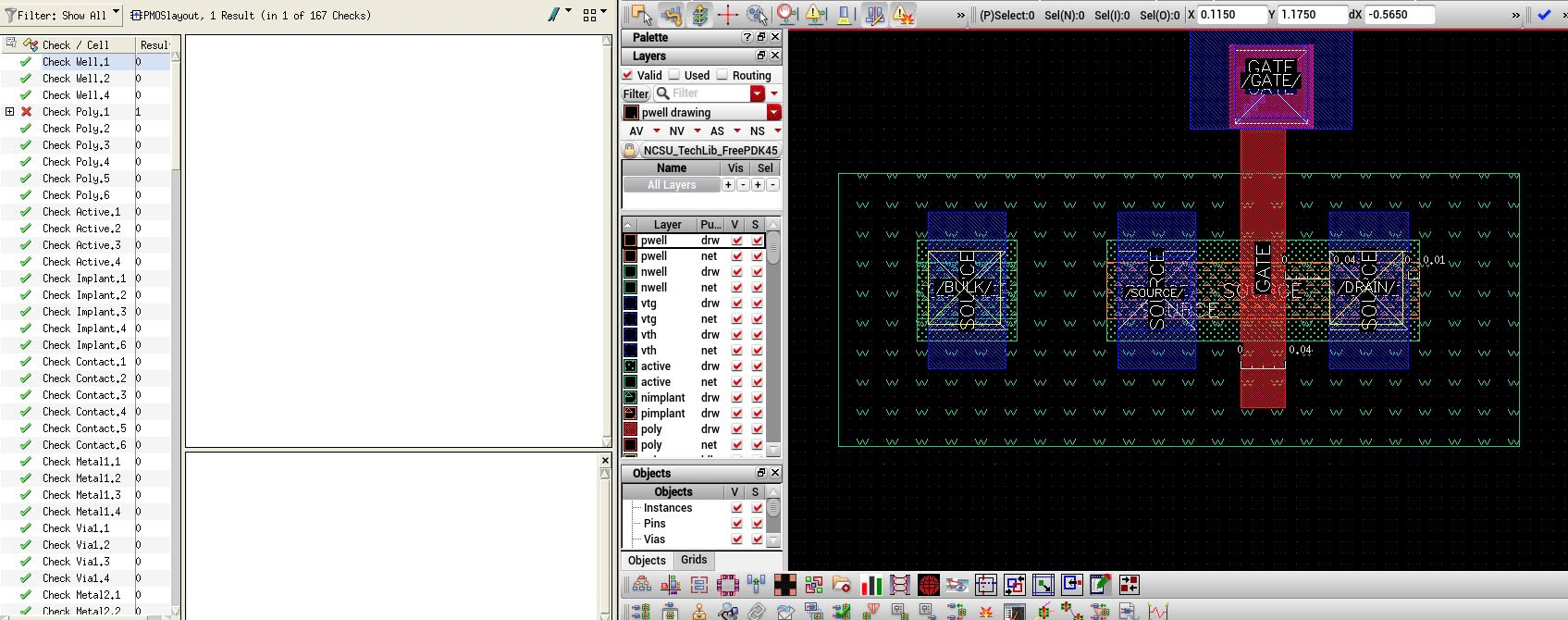


Fig 4.8: DRC error of poly width

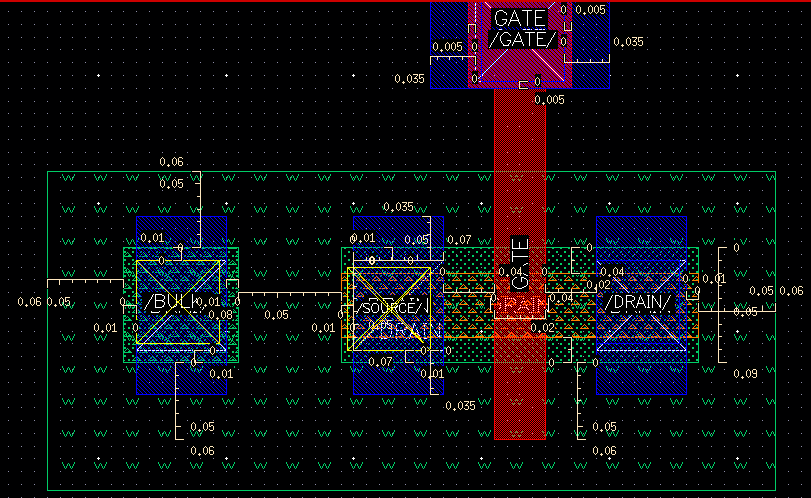


Fig 4.9: LAYOUT overview of PMOS

Tổng kết lại, nhóm nhận thấy với đề bài vẽ Pmos 50n/40n, bên DRC sẽ báo lỗi ở lớp poly với width tối thiểu phải là 50nm. Tuy nhiên khi nhóm check LVS thì pass thành công.